

SOLID-STATE IMAGE PICKUP DEVICE

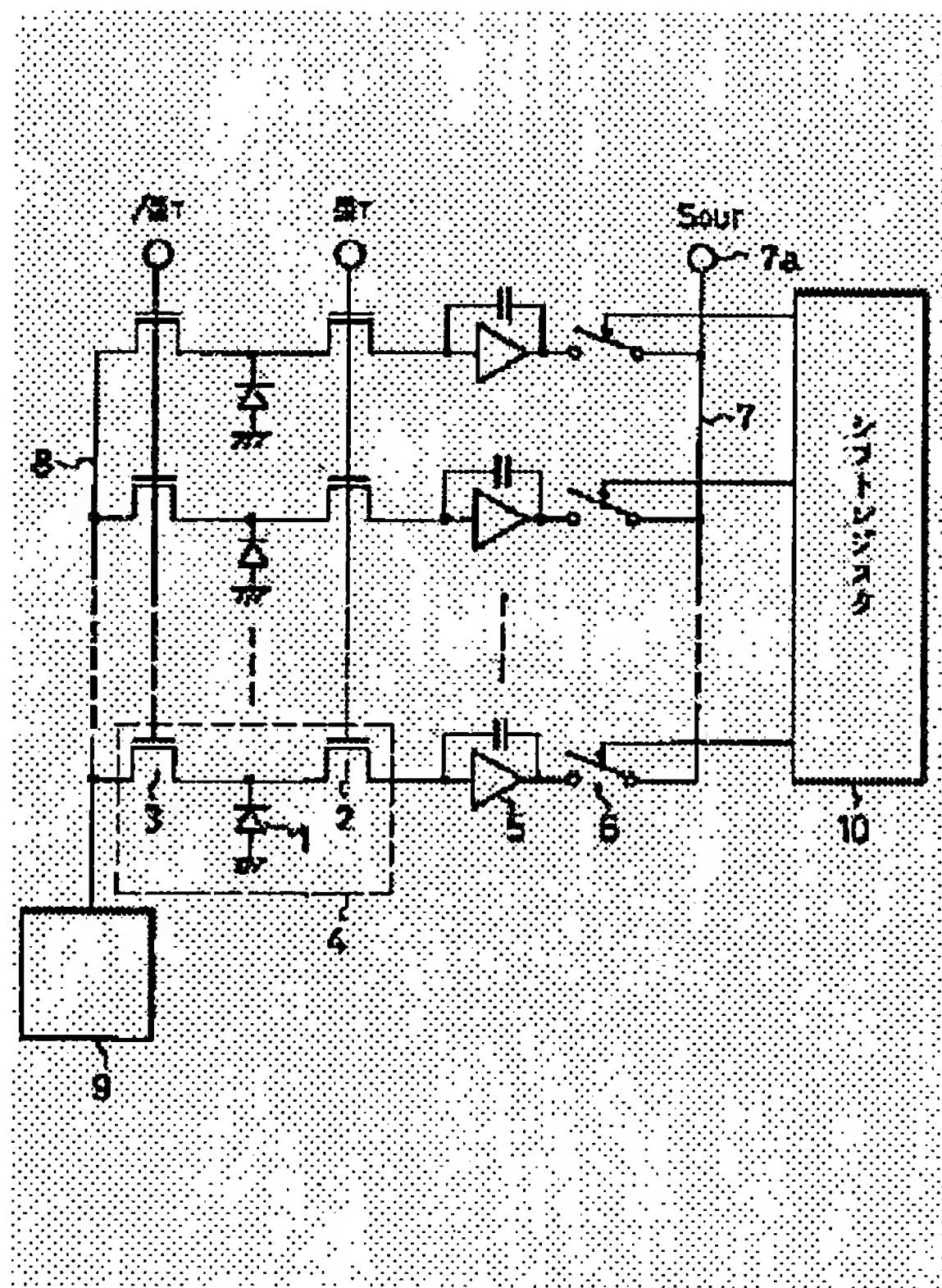
Patent number: JP8149376
Publication date: 1996-06-07
Inventor: UNO MASAYUKI
Applicant: OLYMPUS OPTICAL CO
Classification:
- international: H04N3/15; H04N5/235; H04N3/15; H04N5/235; (IPC1-7): H04N5/335
- european: H04N3/15E; H04N3/15E2; H04N5/235C
Application number: JP19940308435 19941118
Priority number(s): JP19940308435 19941118

Also published as:
US5619262 (A1)

[Report a data error here](#)

Abstract of JP8149376

PURPOSE: To provide a solid-state image pickup device provided with a means integrated on a same chip for a sensor section, operated within the same power supply voltage as the sensor and detecting the lightness of the sensor section. CONSTITUTION: The solid-state image pickup device is configured such that a unit cell 4 is formed with a photodiode 1 and 1st and 2nd transistors(TRs) 2, 3 to which each one terminal of the TRs is connected to the photodiode 1, the unit cells 4 are arranged linearly or in two-dimension, the other terminal of the 1st switching TR 2 is connected to an integration device 5 detecting an integrated charge in the photodiode 1, the other terminal of the 2nd switching TR 3 is connected in common to all the unit cells 4 and to a current detector 9 detecting the charge of the light made incident in the unit cell 4 as a current.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-149376

(43)公開日 平成8年(1996)6月7日

(51)Int.Cl.⁶

H 04 N 5/335

識別記号

府内整理番号

F I

技術表示箇所

Q

審査請求 未請求 請求項の数11 FD (全10頁)

(21)出願番号

特願平6-308435

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(22)出願日

平成6年(1994)11月18日

(72)発明者 宇野 正幸

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

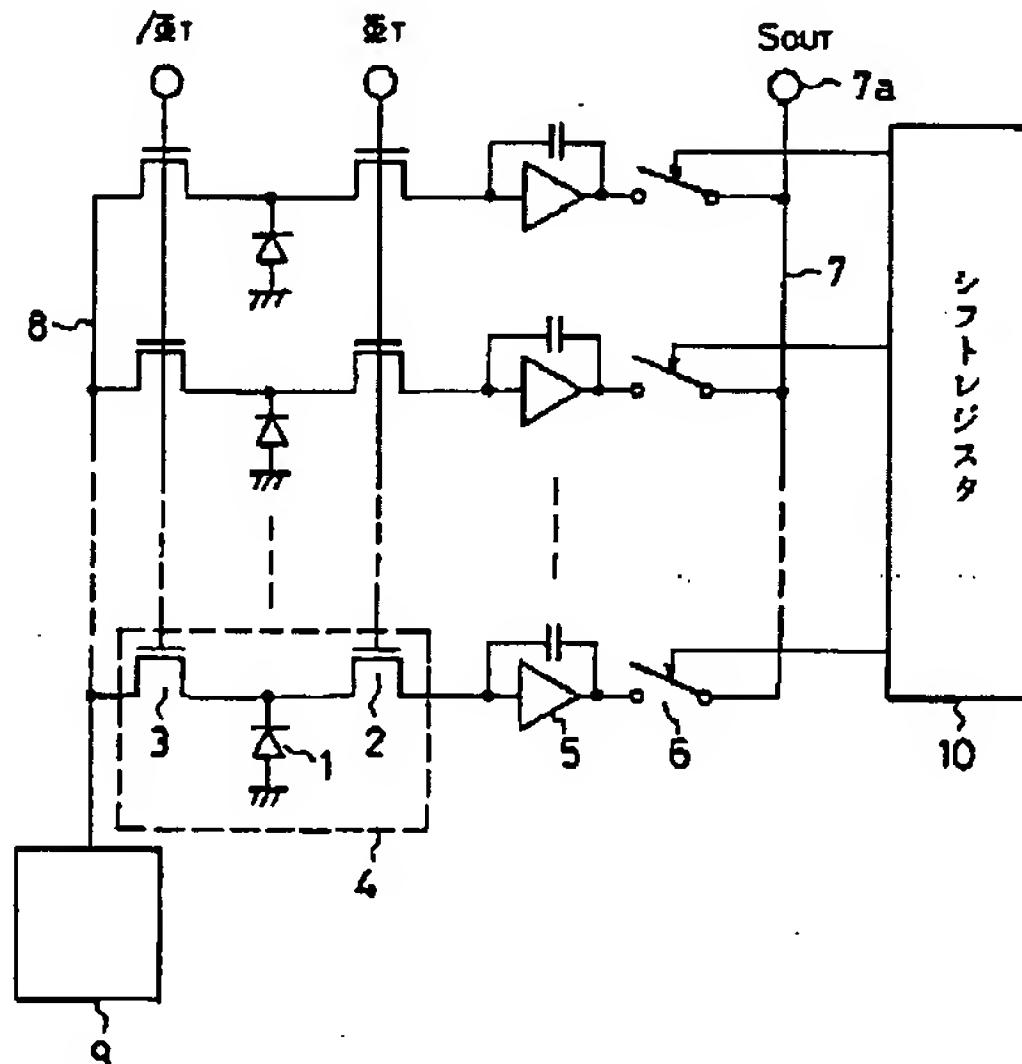
(74)代理人 弁理士 最上 健治

(54)【発明の名称】 固体撮像装置

(57)【要約】

【目的】 センサ部と同一チップ上に集積可能で、且つセンサと同じ電源電圧内で動作可能なセンサ部上の明るさを検出する手段を備えた固体撮像装置を提供する。

【構成】 フォトダイオード1と該フォトダイオード1に一端を接続した第1及び第2のスイッチングトランジスタ2, 3とで単位セル4を構成し、該単位セル4を一次元又は二次元状に配列し、第1のスイッチングトランジスタ2の他端はフォトダイオード1の電荷積分値を検出する積分器5に接続し、第2のスイッチングトランジスタ3の他端は全ての単位セルで共通に接続し、単位セルに入射した光電荷を電流値として検出する電流検出器9に接続して固体撮像装置を構成する。



- | | |
|--------------------|--------------|
| 1: フォトダイオード | 6: 選択スイッチ |
| 2, 3: スイッチングトランジスタ | 7: 出力信号線 |
| 4: 単位セル | 8: 信号線 |
| 5: 積分器 | 9: 電流検出器 |
| | 10: シフトレジスター |

【特許請求の範囲】

【請求項1】 フォトダイオードと該フォトダイオードに一端を接続した第1及び第2のスイッチとを有する単位セルを、一次元又は二次元状に配列し、第1のスイッチの他端は前記フォトダイオードに入射した光により発生した電荷の積分値を検出する積分器又は電荷検出器に接続し、第2のスイッチの他端は、全ての単位セル又は複数個の一部の単位セルで共通に接続して、共通に接続された単位セルに入射した光電荷を電流値として検出する電流検出器に接続したことを特徴とする固体撮像装置。

【請求項2】 一次元又は二次元状に配列された単位セルを複数ブロックに分割し、前記第2のスイッチの他端は前記分割ブロック毎に共通に接続され、該分割ブロック毎に前記電流検出器を備えていることを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記単位セルは一次元のライン状に配列され、各単位セルの第1及び第2のスイッチの制御端子はそれぞれ共通に接続されて、第1のスイッチの制御端子には第2のスイッチの制御端子に印加される制御信号の反転信号が印加されるように構成されており、第1のスイッチに接続される積分器と第2のスイッチに接続される電流検出器は、それぞれ入力が低インピーダンスとなり且つ入力電位がほぼ等しくなる帰還型の回路で構成されていることを特徴とする請求項1又は2記載の固体撮像装置。

【請求項4】 前記積分器又は電荷検出器は、感度切り換え用の制御信号により感度切り換えが可能に構成されており、該感度切り換え用制御信号は、前記電流検出器で検出された電流値に基づいて設定されるように構成されていることを特徴とする請求項1～3のいずれか1項に記載の固体撮像装置。

【請求項5】 前記電流検出器は、対数圧縮型に構成されており、該電流検出器の出力により積分器の積分時間を制御するように構成されていることを特徴とする請求項1～4のいずれか1項に記載の固体撮像装置。

【請求項6】 前記単位セルは二次元状に配列され、垂直方向に配列された各単位セルの第1のスイッチの他端は共通にして、一端がそれぞれ個別の電荷検出回路に接続された各垂直信号線に接続され、水平方向に配列された各単位セルの第2のスイッチの他端は共通にして、一端が单一の電流検出器に接続された共通信号線にそれぞれ接続されていることを特徴とする請求項1記載の固体撮像装置。

【請求項7】 前記水平方向に配列された各単位セルの第1及び第2のスイッチの制御端子は、それぞれ共通にして垂直方向に走査されるシフトレジスタに接続されていることを特徴とする請求項6記載の固体撮像装置。

【請求項8】 前記各単位セルの第1のスイッチをオフしてから第2のスイッチをオンするまでの積分時間は、

10

前記電流検出器の出力により設定されるように構成されていることを特徴とする請求項6又は7記載の固体撮像装置。

【請求項9】 前記各垂直信号線に設けられた電荷検出器は、前記電流検出器の出力に基づいて、感度の切り換えが可能に構成されていることを特徴とする請求項6～8のいずれか1項に記載の固体撮像装置。

【請求項10】 前記水平方向に配列された各単位セルの第1及び第2のスイッチの制御端子は、それぞれ共通にしてテコーダに接続されていることを特徴とする請求項6記載の固体撮像装置。

【請求項11】 前記単位セルの第2のスイッチは、水平方向に配列された複数の行の各単位セル毎に制御できるように構成され、前記複数の行は前記電流検出器の出力により設定されるように構成されていることを特徴とする請求項6又は10記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、フォトダイオードを含む単位セルを一次元状に配列したラインセンサ及び二次元状に配列したエリアセンサ等の固体撮像装置に関する、特に様々な明るさの被写体に対して最適な出力が得られるようにした固体撮像装置に関する。

【0002】

【従来の技術】 近年、固体撮像装置は様々な分野に利用されている。例えば、ビデオムービーやスチルビデオ等に用いられるエリアセンサや、コピーマシン、ファクシミリ、スキャナ等に用いられるラインセンサがあり、またカメラのオートフォーカス等にもラインセンサ等が用いられている。

【0003】 近年デジタル処理の拡張により、これらのシステムにおいては、殆どが固体撮像装置の出力をA/D変換器によりデジタル符号化して、信号処理するシステムになっており、A/D変換器の主流は8ビットタイプである。これは画像情報を扱う上で最小限の諧調であるが、この諧調を得るために、A/D変換器入力レンジにセンサ出力を最適に合わせる必要がある。

【0004】 上記利用分野のうち、コピーマシン、ファクシミリ、スキャナ等においては、被写体を置く位置が決まっている上、一定の光源で照らすため、A/D変換器入力レンジに合わせた最適なセンサ出力を得ることが比較的容易である。

【0005】 しかしながら、ビデオムービー、スチルビデオあるいはカメラのオートフォーカス用センサ等においては、被写体の明るさの範囲は非常に広範囲であり、その広範囲な明るさに対応するため、絞りの制御や電子シャッタ等による露光時間（積分時間）の制御、又はセンサ出力とA/D変換器入力の間にゲインコントロール增幅器を設けて、そのゲインを制御する等の方法がとられている。

【0006】これらの制御を行うためには、被写体の明るさを正確に検出することが必要であり、このための方法として、特開平4-255184号公報には、次に述べるような固体撮像装置が開示されている。この公報開示のものは、要約すると、固体撮像素子に光が入射して発生した電子・正孔対のうち、画素に蓄積するキャリアと反対の極性のキャリアを電流として検出し、その電流を露出情報とする内容のものであり、図10にCCD型固体撮像装置に適用した構成例を示す。

【0007】図10において、101はp型基板、102は画素用フォトダイオードを形成するためのn型拡散層、103は画素間分離用のp型チャネル・トップ拡散層、104は転送CCD、105は転送CCD104の制御電極である。転送CCD104の表面には遮光膜106が施されており、pn接合型のフォトダイオード部のみに光が入射す*

$V_{out} = V_{sub} - (I_p + I_{off}) \cdot R_L \quad \dots \dots \quad (1)$

ここで、 V_{sub} は基板電圧、 I_p は入射した光の量に対する光電流、 I_{off} は暗時でも流れるオフセット電流、 R_L は電流-電圧変換アンプ108の帰還抵抗である。上記(1)式からわかるように、出力電圧 V_{out} には入射光量の情報があらわれる。オフセット電流 I_{off} が光電流 I_p に比べて十分小さなときは、次式(2)で近似される。

$$V_{out} \approx V_{sub} - I_p \cdot R_L \quad \dots \dots \quad (2)$$

【0009】このように、光電流 I_p に対して変化する出力電圧 V_{out} に基づいて、絞り、積分時間、ゲインコントロール増幅器等を制御すればよい。

【0010】

【発明が解決しようとする課題】しかしながら、上記公報開示の固体撮像装置においては、次のような問題点がある。第1点は、図10に示した電流-電圧変換アンプは、通常のプロセスのセンサではセンサ上にオンチップ化できない点である。この理由は、図10に示した固体撮像装置における基板電圧 V_{sub} は、チップ上で扱う信号電位に対して最低の電位をとらなければならないが、出力電圧 V_{out} の出力は、電流がはき出し方向のため、基板電圧 V_{sub} よりも低い電圧となり、必然的にセンサチップ上では扱えない電位となるためである。

【0011】第2点は、システムの電源電圧範囲が大きくなることである。例えば、図10に示した固体撮像装置の動作には基板電位に対して正の電源が必要なのに対し、電流-電圧変換アンプは負の電源が必要となる。このため、トータルの電源電圧範囲は広くなり、通常のシステムの有する電源範囲では、図10に示した構成は用いられない場合が多くなる。

【0012】第3点目は、センサ上の任意のブロックに分けた出力を得にくいことである。上記公報には、図11に示すように、基板電極を複数に分けて出力をとる実施例が示されている。なお図11において、111は複数に分けたブロック間に形成されるチャネル・トップ拡散領

*るようになっている。

【0008】そしてこのようなCCD型固体撮像装置において、基板101の電位をとるため基板裏面に形成した基板電極107は、撮像素子のパッケージのチップ搭載面と電気的に導通がとられており、パッケージの出力ピンの一つの端子に接続されている。この端子は、通常、基板電位を与えるため電源又はグランドに接続されているが、この構成例においては、電流値を検出するために、電流-電圧変換アンプ108に接続されており、この電流-電圧変換アンプ108が露出検出手段を構成している。この電流-電圧変換アンプ108において、基板電極107は一側端子に接続されており、この一側端子は仮想接地により+側端子と同電位が与えられる。そのため出力端子109には、次の(1)式で示す出力電圧 V_{out} が現れる。

$$V_{out} = V_{sub} - (I_p + I_{off}) \cdot R_L \quad \dots \dots \quad (1)$$

域で、112は撮像面を示している。

【0013】しかしながら、これを実現するには、オフセット電圧が全く存在しない電流-電圧変換アンプでなければならない。すなわち、もし電流-電圧変換アンプにオフセット電圧があり、複数個のアンプ間でオフセット電圧がばらつくと、それぞれのブロック毎に、基板電極にかかる電圧が異なることになる。それにより、ブロック間で電流が流れ、これが誤差成分となってしまうため、正確にブロックに分けることができない。したがって、実際にはブロック分けは困難である。

【0014】本発明は、従来の固体撮像装置における上記問題点を解消するためになされたもので、第1の目的は、センサ部と同一チップ上に集積可能で、しかもセンサ部と同じ電源電圧内で動作可能なセンサ部上の明るさを検出手段を備え、センサ部を任意のブロックに分割可能な固体撮像装置を提供することであり、これは全ての請求項記載の発明の目的である。また第2の目的は、得られた明るさ情報をセンサ部の出力を最適にするための積分時間及びゲイン等の制御手段を備えた固体撮像装置を提供することであり、これは請求項4、5、8、9、11記載の各発明の目的である。また第3の目的は、センサ部を構成するフォトダイオードが光電流により飽和することを防ぐようにした固体撮像装置を提供することであり、これは請求項2、10、11記載の各発明の目的である。

【0015】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、フォトダイオードと該フォトダイオードに一端を接続した第1及び第2のスイッチとを有する単位セルを、一次元又は二次元状に配列し、第1のスイッチの他端は前記フォトダイオードに入射した光により発生した電荷の積分値を検出する積分器又は電荷検出器に接続し、第2のスイッチの他端は、全ての単位セル又は複数個の一部の単位セルで共通に接続し、

共通に接続された単位セルに入射した光電荷を電流値として検出する電流検出器に接続して固体撮像装置を構成するものである。

【0016】このように構成した固体撮像装置においては、単位セル毎の積分値を検出する単位セル群と共に、該単位セル群上の平均的な明るさを検出する電流検出器を同一チップ上に集積化できると共に、積分器又は電荷検出器と電流検出器は同じ極性の電荷を扱うため、両者は同一の電源で動作させることができる。また単位セル群を複数のブロックに分ける場合も、第2のスイッチの他端をブロック別に接続することにより、任意に分けることが可能となる。

【0017】

【実施例】次に実施例について説明する。図1は、本発明をフォトダイオードを一次元に配列したラインセンサに適用した第1実施例を示す回路構成図である。図1において、1はフォトダイオードで、2、3は該フォトダイオード1にそれぞれ一端を接続し、それぞれ制御信号 Φ_1 、 $/\Phi_1$ (Φ_1 の反転信号) でON、OFFされるスイッチングトランジスタであり、これらで単位セル4を構成している。そして単位セル4は一次元状に配列されている。各単位セル4のスイッチングトランジスタ2の他端は、それぞれ光電荷を蓄積するための積分器5の入力端に接続され、該積分器5の出力端は選択スイッチ6を介して出力信号線7に接続されている。各積分器5の出力は、シフトレジスタ10を走査することより選択スイッチ6を駆動して、出力信号線7の出力端子7aより読み出すことができるようになっている。一方、スイッチングトランジスタ3の他端は、電流読み出し用の信号線8に共通に接続され、電流検出器9に入力されるようになっている。

【0018】次に、このように構成された第1実施例の動作について説明する。まず制御信号 Φ_1 を“H”， Φ_1 を“L”として、電流検出器9により一次元状に配列された単位セル群の面上の平均照度が検出され、これにより積分時間が設定される。次に、制御信号 Φ_1 を“H”， $/\Phi_1$ を“L”として光積分を行い、電流検出器9により設定された積分時間経過後に、制御信号 Φ_1 を“L”にして積分を終了する。その後、シフトレジスタ10を走査して、各単位セル4の出力 S_{011} を出力端子7aより読み出す。このような構成においては、電流検出器9で単位セル4に入射された光の総和が検出できるため、単位セル群を形成しているチップ上に演算回路を形成することにより、オンチップ上で積分制御が可能となる。

【0019】次に、図1に示した積分器5及び電流検出器9の具体的な構成例を、図2に基づいて説明する。図2において、積分器は、ソースが接地されたnMOSトランジスタ11と定電流源として動作するpMOSトランジスタ14とで構成されるソース接地型の反転増幅器と、

その入力端 (nMOSトランジスタ11のゲート) と出力端 (nMOSトランジスタ11のドレイン) の間に設けられた蓄積容量素子12及びリセット用スイッチングトランジスタ13とで構成されている。この積分器の入力は、これらのフィードバック系により低インピーダンスとなっており、入力電位はソース接地型nMOSトランジスタ11のゲート・ソース間電圧 V_{GSS11} である。このように構成された積分器は、各単位セル毎に設けられており、シフトレジスタ10を走査することにより、選択スイッチングトランジスタ15を順次ONしながら、出力信号線7より各単位セルに対応した出力が得られるようになっている。

【0020】一方、各単位セル4のスイッチングトランジスタ3の他端は共通にして共通信号線8に接続されており、該共通信号線8は光電荷を転送する転送用トランジスタ22を介して、対数圧縮用ダイオード24に接続されている。そして転送用トランジスタ22のゲートは、ソース接地型のnMOSトランジスタ21と定電流源として動作するpMOSトランジスタ23とからなる反転増幅器の出力端 (nMOSトランジスタ21のドレイン) に接続され、ソースは反転増幅器の入力端 (nMOSトランジスタ21のゲート) に接続されている。このため、反転増幅器の入力、すなわち共通信号線8は、反転増幅器の出力からのフィードバックがかかっているため、低インピーダンスとなっており、その電位はソース接地型nMOSトランジスタ21のゲート・ソース間電圧 V_{GSS21} となっている。

【0021】また、転送用トランジスタ22のドレインは対数圧縮用ダイオード24に接続されており、電流検出用の共通信号線8を介して流れる光電流はダイオード24で圧縮される。このダイオード24の出力は、レベルシフト機能を有する差動アンプ25によって、後段の入力レンジに合わせた信号レベルで、端子25aより出力信号 M_{out} として出力される。したがって、この後段にA/D変換器及び制御回路等を設けることにより、積分時間を演算し、タイミングを制御することが可能となる。

【0022】次に、図2に示した積分器及び電流検出器の動作を、図3に示すタイミングチャートに基づいて説明する。基本的な動作モードは、リセット、積分、読み出し、待機の4つのモードである。図3のタイミングチャートにおける期間 T_0 は待機モードであり、このとき制御信号 Φ_1 は“L”， $/\Phi_1$ は“H”となっており、光電流は電流検出器9に流れ、端子25aより入射光に対応した出力信号 M_{out} が出力される。この出力により積分時間が設定可能となる。次に、期間 T_1 のリセットモードでは $\Phi_1 = "H"$ ， $/\Phi_1 = "L"$ となり、各フォトダイオード1は積分器側に接続され、また $\Phi_{RS} = "H"$ となっているため、積分容量素子12はリセット状態となっている。期間 T_2 の積分モードで、 $\Phi_{RS} = "L"$ とすると、各フォトダイオード1に入射した光電

荷は積分容量素子12に蓄積され、積分器出力 V_{s1} の電位は上昇する。この期間 T_2 の積分時間は、期間 T_0 での出力信号 M_{out} により決定され、その積分時間が経過した後に、 $\Phi_1 = "L"$ 、 $\Phi_2 = "H"$ となり、積分が終了する。期間 T_2 の読み出し及び待機モードにおいて、シフトレジスタ10を走査して各積分器出力を出力端子7aより得ると同時に、光電流は電流検出器9に流れため、次のサイクルの積分時間を決定できる。

【0023】図2に示した構成の動作方式には、次のような特徴がある。すなわち、積分器及び電流検出器とともにソース接地型の反転増幅器で構成されているため、両者の回路は同一電流で動作が可能であり、なお且つ低電圧動作に適した構成になっており、当然のことながら同一チップに集積可能である。また周期的な動作でなく、1ショット動作の場合でも、期間 T_0 において明るさを検知できるため、最適な積分時間が設定できることも、カメラのオートフォーカス用センサなど、1回の積分で距離情報を得たい用途には適している。

【0024】更に、読み出し期間中（期間 T_3 ）において、フォトダイオードに電荷が蓄積しないため、強い光が入射したときに電荷が積分器にあふれ出して、結果的に雑音となるという現象が防ぐことができる。それと同時に積分器の入力電位 V_{s1} と電流検出器の入力電位 V_{s2} を、 $V_{s1} = V_{s2}$ となるように、nMOSトランジスタ11、21のトランジスタ寸法とバイアス電流を定めておけば、フォトダイオードに印加される電位は常に一定であるため、積分器のバイアス電流が小さくても、期間 T_1 のリセット時間を短くできるという特徴も備えている。実際には素子間のばらつき等で、完全に $V_{s1} = V_{s2}$ とはならないが、0.1V程度の差なら大きな問題はない。

【0025】以上の特徴の他に、図1及び図2に示した構成の固体撮像装置は、単位セル（画素）群を任意のブロックに分けやすいという特徴も備えている。図1及び図2に示した実施例では、スイッチングトランジスタ3の他端は全単位セル共通となり、電流検出器9に接続されているが、これを数ブロックに分け、ブロック毎に電流検出器を設けることにより、簡単に任意のブロックに分けられる。図4に、2つのブロックに分けたときの構成例を示す。図4においては、積分器等は省略されているが、図1及び図2に示したものと同様に、各フォトダイオード毎に設けられている。

【0026】上記第1実施例では、対数圧縮された出力により、積分時間の制御をするように構成されているが、実際のシステムでは、積分時間の制御だけで最適出力を得るには、積分時間範囲を非常に広範囲としなければならないので、ゲインの制御を同時に行うのが一般的である。次に、このゲイン制御を行うようにした第2実施例を、図5に基づいて説明する。

【0027】この実施例における積分器は、図5に示す

ように、図2に示した第1実施例における積分器を構成している反転増幅器の入出力間に、スイッチングトランジスタ17と容量素子16の直列接続回路を、蓄積容量素子12と並列に接続した構成となっている。そして、スイッチングトランジスタ17のゲートに印加される Φ_{cc} を“H”とすると、容量素子16が蓄積容量素子12と並列に接続されて、積分容量が大きくなつて感度が低くなり、一方、 Φ_{cc} を“L”とすると、積分容量は小さくなつて感度は高くなる。

【0028】この構成の積分器は、出力信号線7にゲインコントロールアンプを設けるのと作用は同じであるが、各単位セル毎に感度を切り換える方が、nMOSトランジスタ11の V_{s1} の単位セル間のばらつきの影響を小さくできる。このように構成した感度切り換え可能な積分器を各単位セルに設ける。

【0029】この実施例における電流検出器の構成は、入力段は図2に示した第1実施例と同じ構成とし、対数圧縮ダイオードの代わりに、基準電流 I_{ref} と光電流 I_p を比較する電流コンパレータを接続している。この電流コンパレータは、光電流 I_p に対応した電流を折り返すpMOSトランジスタ26、27からなるカレントミラーと、基準電流 I_{ref} を流す基準電流源30と、基準電流 I_{ref} に対応した電流を折り返すnMOSトランジスタ28、29からなるカレントミラーと、インバータ31と、ラッチ動作をするD型フリップフロップ32などで構成されている。

【0030】このように構成された電流コンパレータにおいて、pMOSトランジスタ26と27及びnMOSトランジスタ28と29が同じ寸法とすると、 $I_p < I_{ref}$ のときはインバータ入力は“L”， $I_p > I_{ref}$ のときはインバータ入力は“H”となる。したがって、 $I_p < I_{ref}$ すなわち被写体が暗いときは、 $\Phi_{cc} = "L"$ とし、 $I_p > I_{ref}$ すなわち被写体が明るいときは、 $\Phi_{cc} = "H"$ とすると、ダイナミックレンジを広げることができる。また、この実施例においては、積分期間中に明るさが変わって Φ_{cc} が切り換わることを防ぐために、 Φ_{cc} の立ち上がりに同期して Φ_{cc} をラッチするD型フリップフロップ32を挿入している。このような構成により、明るさに対応してオンチップ上で自動的に感度切り換えを行うことができる。

【0031】次に、図2に示した第1実施例における対数圧縮出力による積分制御と、図5に示した第2実施例における感度切り換えを同時にを行うようにした第3実施例について説明する。図6は第3実施例における光電流検出器を示す図である。この光電流検出器は、図2に示した対数圧縮型の光電流検出器に図5に示した電流コンパレータを追加した構成であるが、その特徴とするところは、共通信号線8に流れる光電流 I_p を、転送トランジスタ22を介して圧縮用ダイオード24に流し込むと同時に、それに対応した電流 I_{ref}' を電流コンパレータに流

すようにした点である。

【0032】図6において、ゲート・ドレインが短絡されたnMOSトランジスタ33には、pMOSトランジスタ35によりバイアス電流が与えられているが、そのバイアス電流は、pMOSトランジスタ35のゲートがpMOSトランジスタ23のゲートに接続されているため、nMOSトランジスタ21に流れる電流 I_{BIAS} に対応し、pMOSトランジスタ23と35、及びnMOSトランジスタ21と33が、それぞれ同一寸法ならば、 $I_{BIAS} + I_{T'}$ がnMOSトランジスタ33に流れる。したがって、 $I_{T'}$ に比べてバイアス電流を十分大きくしておけば、 $V_{T,2} = V_{T,3}$ となる。なお、 $V_{T,1}$ はnMOSトランジスタ33のゲート・ソース間電圧である。

【0033】また、nMOSトランジスタ34のゲートはnMOSトランジスタ22のゲートと同じノードに接続されているため、nMOSトランジスタ22とnMOSトランジスタ34のソース・ゲート間電圧はほぼ等しくなる。したがって、nMOSトランジスタ34に流れる電流 $I_{T'}$ は、 $I_{T'} = I_T$ となり、この $I_{T'}$ を利用して電流比較を行うことができる。

【0034】この図6に示した第3実施例の電流検出器を用いることにより、積分時間の決定及び感度切り換えが同時に可能となるため、積分時間の設定可能な範囲が小さくても、広範囲な明るさに対応することが可能となる。

【0035】上記各実施例は、一次元センサに関するものであるが、一次元センサの場合は、フォトダイオードに接続される2つのスイッチングトランジスタの制御信号を反転信号とすることにより、光電流でフォトダイオード及び積分器を飽和させないという特徴をもたせることが可能である。

【0036】次に、単位セルを二次元に配列したエリアセンサに本発明を適用した第4実施例を、図7に基づいて説明する。図7に示すように、単位セル4は、図1に示した第1実施例と同様に、フォトダイオード1と並列に接続される2つのスイッチングトランジスタ2、3により構成されている。このような構成の単位セル4を二次元のアレイ状に配列し、スイッチングトランジスタ2の一端は各列毎に共通に垂直信号線41に接続し、各垂直信号線41毎に図1に示した第1実施例と同様な構成の積分器5を設け、各積分器5の出力は水平シフトレジスタ42を走査することにより、バッファ43を介して出力端子44より出力 S_{out} として読み出せるようになっている。積分器5自体の構成は、図1、2又は5に示したものと同様でよいが、ラインセンサの場合と異なる点は、光電荷の積分は各フォトダイオード自体で行い、その積分された電荷を積分器5で検出する点である。この点でこの実施例の積分器5は、電荷検出器として動作しているといえる。

【0037】一方、スイッチングトランジスタ3の一端

は、全単位セル共通にして共通信号線8に接続されており、該共通信号線8は光電流検出器9に接続されている。そして2つのスイッチングトランジスタ2、3は、垂直シフトレジスタ45で走査されるパルス $\Phi_{R,i}$ 、 $\Phi_{T,i}$ ($i=1, 2, \dots, m$)により、行毎に制御されるようになっている。なお、光電流検出器9は、図2、5、6に示したと同様な構成のものを用いることができる。

【0038】次に、このように構成された第4実施例の動作を、図8に示すタイミングチャートを参照しながら説明する。なお各スイッチングトランジスタ2、3は、いずれも“H”レベルが制御電極に印加されたときON、“L”レベルが印加されたときはOFFするものとする。1行目の単位セル(画素)の読み出しを行うには、まず積分器5のリセットを行うため $\Phi_{R,i} = "H"$ とする。次に $\Phi_{R,i} = "L"$ とした後に $\Phi_{T,1} = "H"$ として、1行目の各単位セルに蓄積された光電荷を積分器5に転送する。これにより各積分器5の出力端には、各単位セルに蓄積された電荷に対応した出力が保持される。その後、 $\Phi_{T,1} = "L"$ として、水平シフトレジスタ42を走査して各積分器5の出力を読み出す。この読み出し期間中、 $\Phi_{T,1} = "H"$ としておくと、効率よく光電流を読み出すことができる。

【0039】以上の動作を1水平走査期間で行うが、テレビ信号として扱うには、 $\Phi_{R,i} = "H"$ 及び $\Phi_{T,1} = "H"$ とする動作を水平プランギング期間で行えばよい。この動作を垂直シフトレジスタ45を走査しながら、全行について行うわけであるが、1行目の単位セルの蓄積時間は、 $\Phi_{T,1}$ が“H”から“L”となった時点から $\Phi_{T,1} = "H"$ となるまでの時間であり、この蓄積時間を変えるには、 $\Phi_{T,1}$ の立ち下がりのタイミングを変えればよい。図8に示したタイミングチャートの $\Phi_{T,1}$ の波形において、破線で示すように動作させることにより、積分(蓄積)時間を短くすることができる。

【0040】図7に示した第4実施例においては、各単位セル4を構成するスイッチングトランジスタ3の一端は全単位セル共通に接続されており、電流検出器9は全体で1個設けられているが、単位セルアレイを複数個のブロックに分割し、各分割ブロック毎に電流検出器を設けるように構成することもできる。図9に、各行毎に電流検出器を設けるようにした第5実施例の構成を示す。このように各行毎に電流検出器9を設けることにより、複数行の光電流を検出する場合でも、その行毎の明るさのばらつきに対する情報を得ることができる。

【0041】図7又は図9に示した第4又は第5実施例においても、ラインセンサの場合と同様に積分時間の制御ができ、また垂直信号線に接続された積分器5を、図5に示した構成のように、感度切り換えが可能な形式にしておくことによって、感度切り換えを併用して、より広いダイナミックレンジを得ることができる。

【0042】上記図7、図9に示した第4又は第5実施例では、垂直走査回路45により周期的に走査する通常用いられている方式を用いたものと示したが、図7、図9における垂直シフトレジスタ45をデコーダに置き換えることにより、垂直方向の撮像範囲を可変できるラインセンサとして用いることができる。

【0043】このようにデコーダを用いる場合には、 Φ_{11} 、 Φ_{11} のいずれか一方のみが“H”、他方が“L”となるように設定を行い、垂直方向の特定部分のみ列毎に積分を行い、他の部分は電流検出器9に光電流を掃き出して、明るさの情報を得られると同時に、スマア、ブルーミング等を防ぐことができる。

【0044】このような用い方においては、図9に示した実施例のように、行毎の明るさを検出できるようにした方が、より有効な情報を得ることができる。例えば、まず最初に各行毎の電流を検出して積分を行う範囲を決定する等を行うことができる。

【0045】また、デコーダを用いて積分領域を選択する方式においても、上記各実施例のように電流検出器による情報をもとに、積分時間、感度等を決定すればよいが、このようなデコーダを用いた構成の場合には、上記のような制御の他に、積分器で積分する行の数を明るさに応じて変化させるという制御が可能である。例えば、明るいときには1行分のみを積分器で積分し、暗さに応じて加算する行を多くすればよい。このように構成することによって、更に広範囲な明るさに対応可能となる。

【0046】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、単位セル毎の積分値を検出する単位セル群と共に、該単位セル群上の平均的な明るさを検出す電流検出器を同一チップ上に集積化できると共に、積分器又は電荷検出器と電流検出器を同一の電源で動作させることができ、また単位セル群を複数のブロックに任意に分けることが可能である。またラインセンサを構成した場合には、単位セルを構成するフォトダイオードの飽和を防止することが可能となる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置の第1実施例を示す回路構成図である。

【図2】図1に示した実施例における積分器及び電流検出器の具体的な構成例を示す図である。

【図3】図2に示した積分器及び電流検出器の動作を説明するためのタイミングチャートである。

【図4】図1に示した第1実施例の変形例を示す図である。

【図5】本発明の第2実施例を示す回路構成図である。

【図6】本発明の第3実施例の要部を示す回路構成図である。

【図7】本発明の第4実施例を示す回路構成図である。

【図8】図7に示した第4実施例の動作を説明するためのタイミングチャートである。

【図9】本発明の第5実施例を示す回路構成図である。

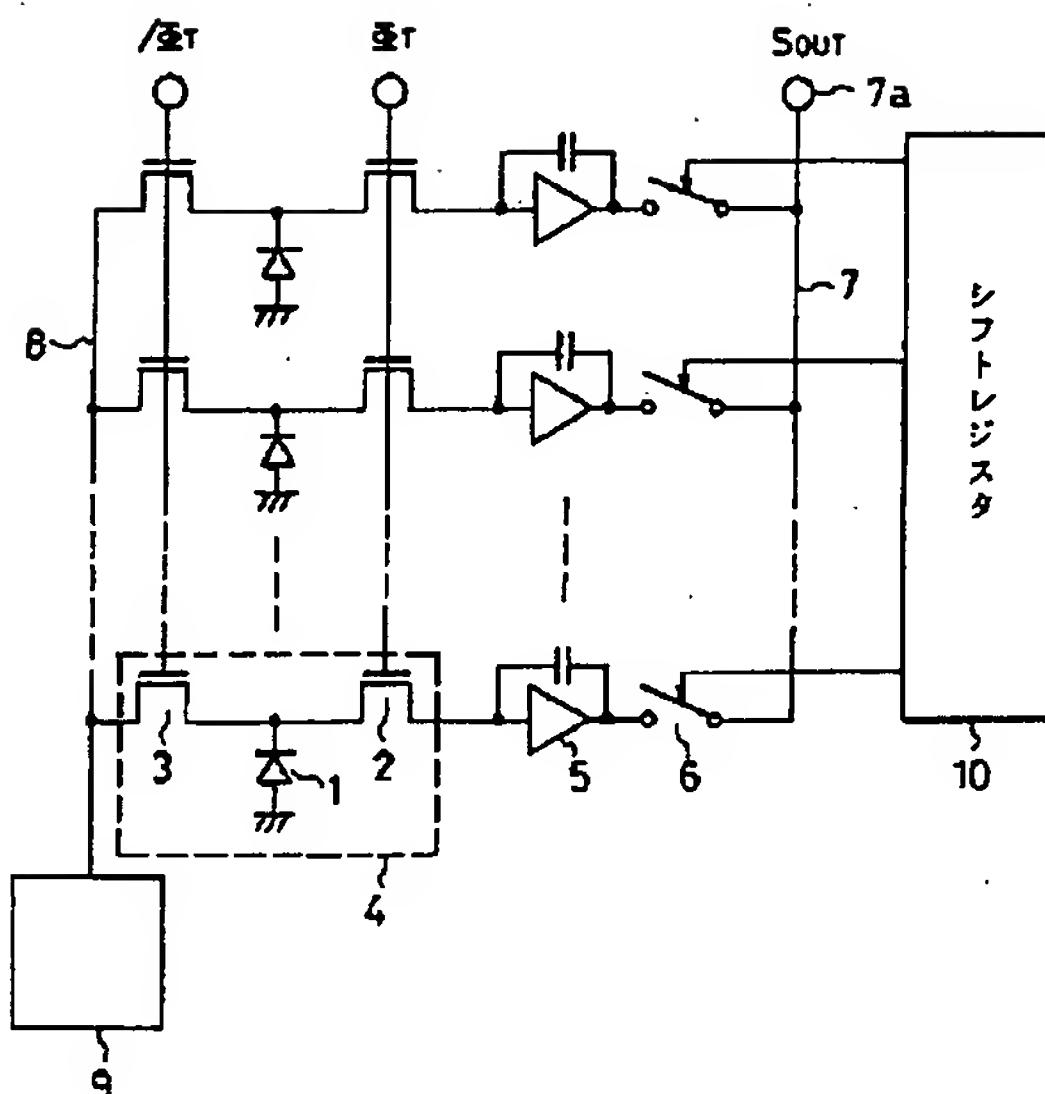
【図10】従来のCCD固体撮像装置の構成例を示す図である。

【図11】従来のCCD固体撮像装置においてブロック単位の情報を得る場合の構成例を示す図である。

【符号の説明】

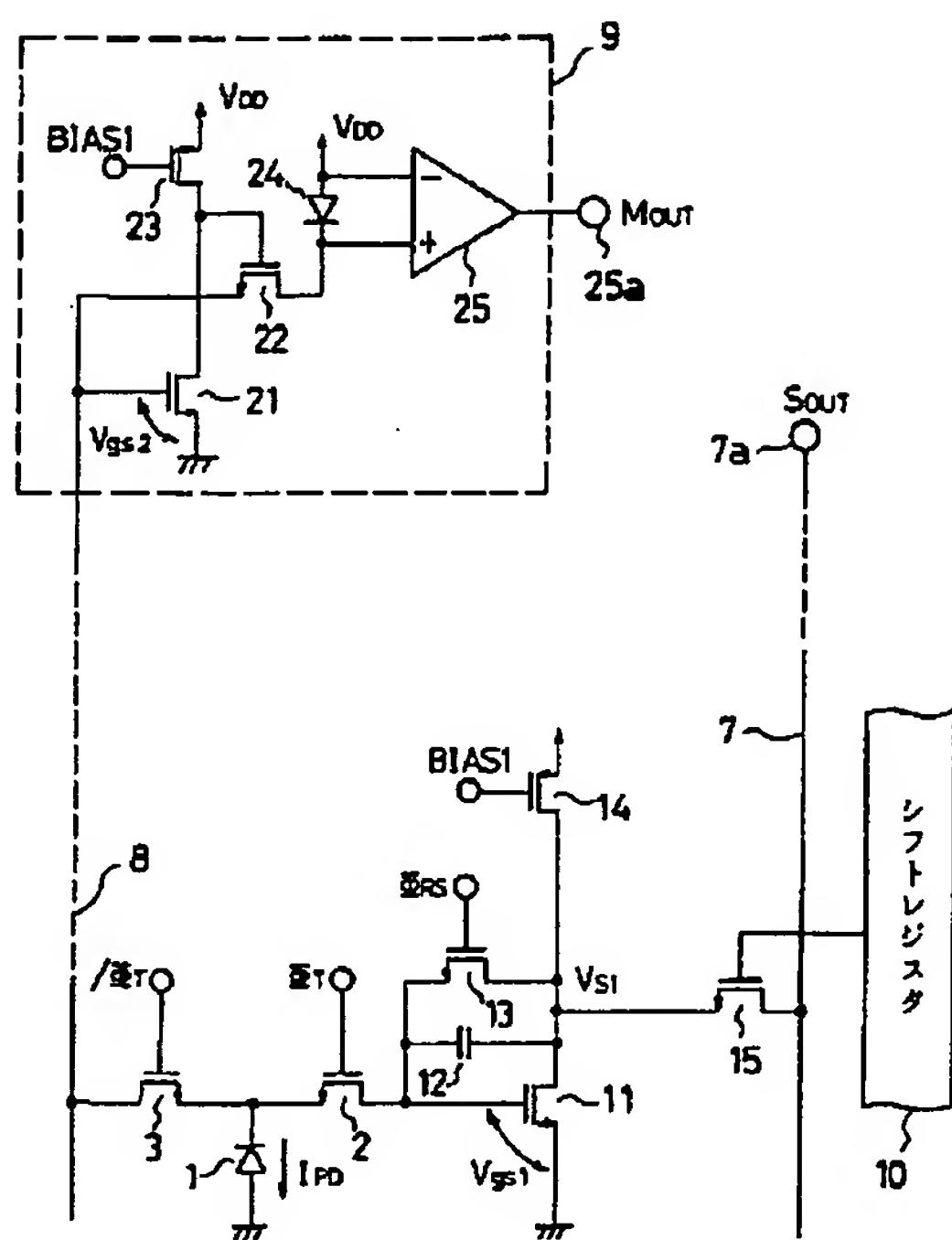
- | | |
|--------|-------------------|
| 1 | フォトダイオード |
| 2, 3 | スイッチングトランジスタ |
| 4 | 単位セル |
| 5 | 積分器 |
| 6 | 選択スイッチ |
| 7 | 出力信号線 |
| 8 | 信号線 |
| 9 | 電流検出器 |
| 10 | シフトレジスタ |
| 11 | nMOSトランジスタ |
| 12 | 蓄積容量素子 |
| 13 | リセット用スイッチングトランジスタ |
| 14 | pMOSトランジスタ |
| 15 | 選択スイッチングトランジスタ |
| 16 | 容量素子 |
| 17 | スイッチングトランジスタ |
| 21 | ソース接地型nMOSトランジスタ |
| 30 | 転送用トランジスタ |
| 23 | pMOSトランジスタ |
| 24 | 対数圧縮用ダイオード |
| 25 | 差動アンプ |
| 26, 27 | pMOSトランジスタ |
| 28, 29 | nMOSトランジスタ |
| 30 | 基準電流源 |
| 31 | インバータ |
| 32 | D型フリップフロップ |
| 33, 34 | nMOSトランジスタ |
| 40 | pMOSトランジスタ |
| 41 | 垂直信号線 |
| 42 | 水平シフトレジスタ |
| 43 | バッファ |
| 44 | 出力端子 |
| 45 | 垂直シフトレジスタ |

【図1】

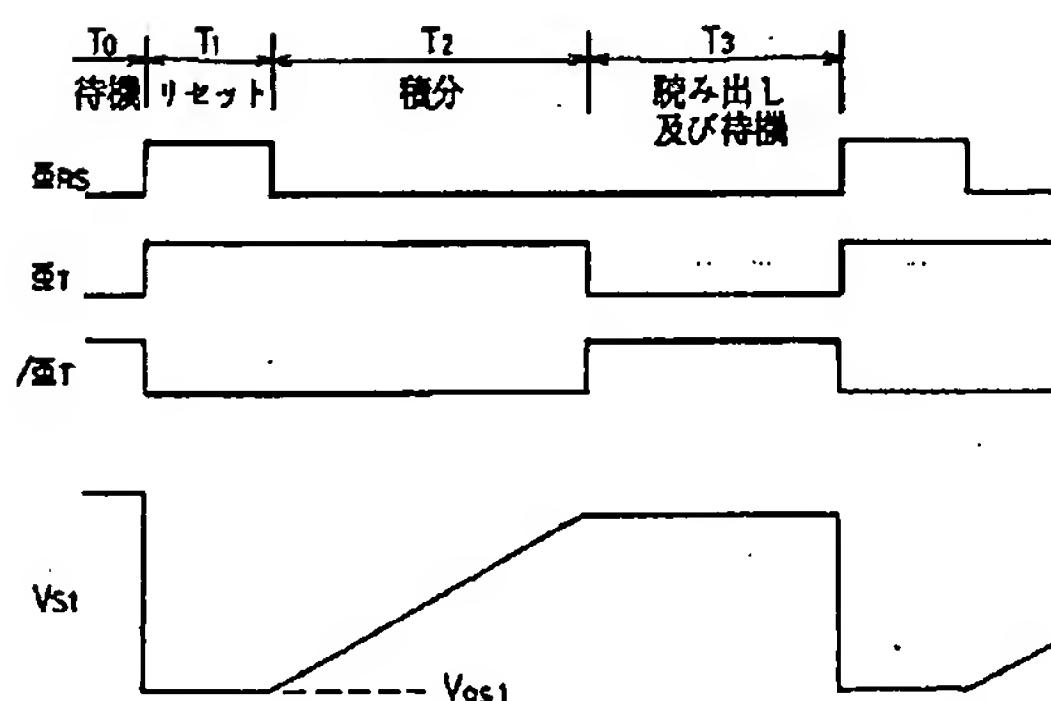


1: フォトダイオード
2, 3: スイッチングトランジスタ
4: 単位セル
5: 積分器
6: 選択スイッチ
7: 出力信号線
8: 信号線
9: 電流検出器
10: シフトレジスタ

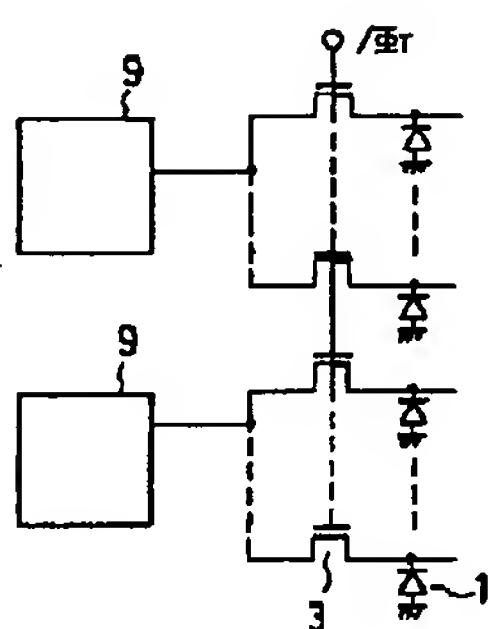
【図2】



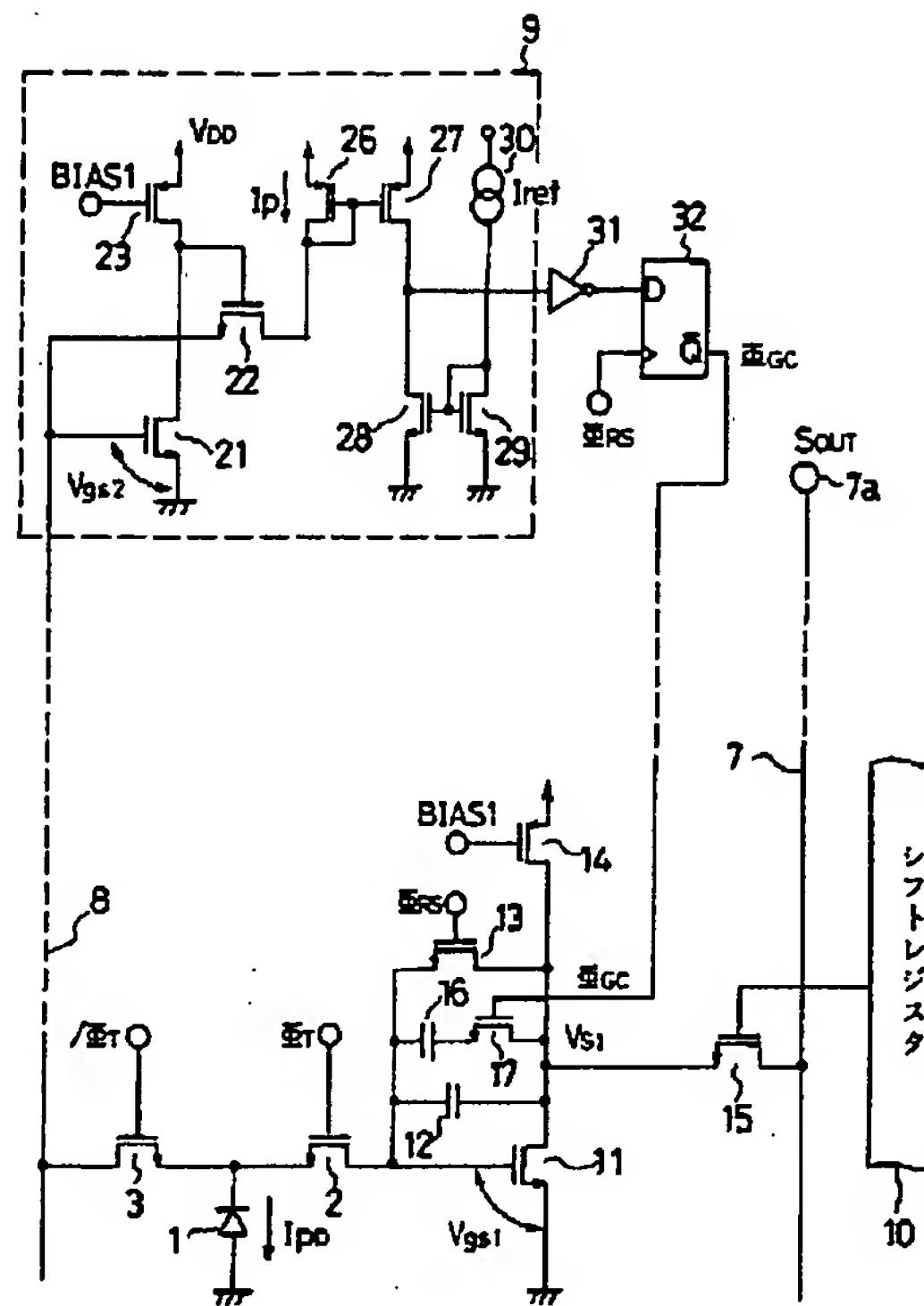
【図3】



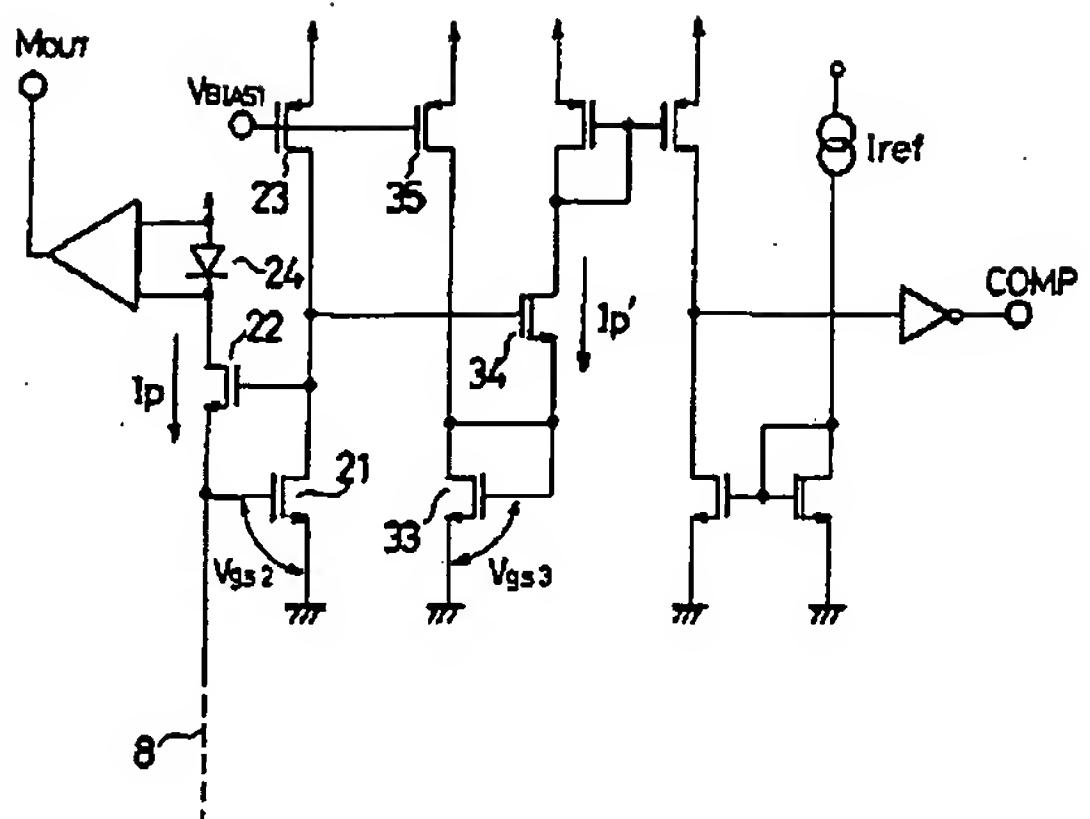
【図4】



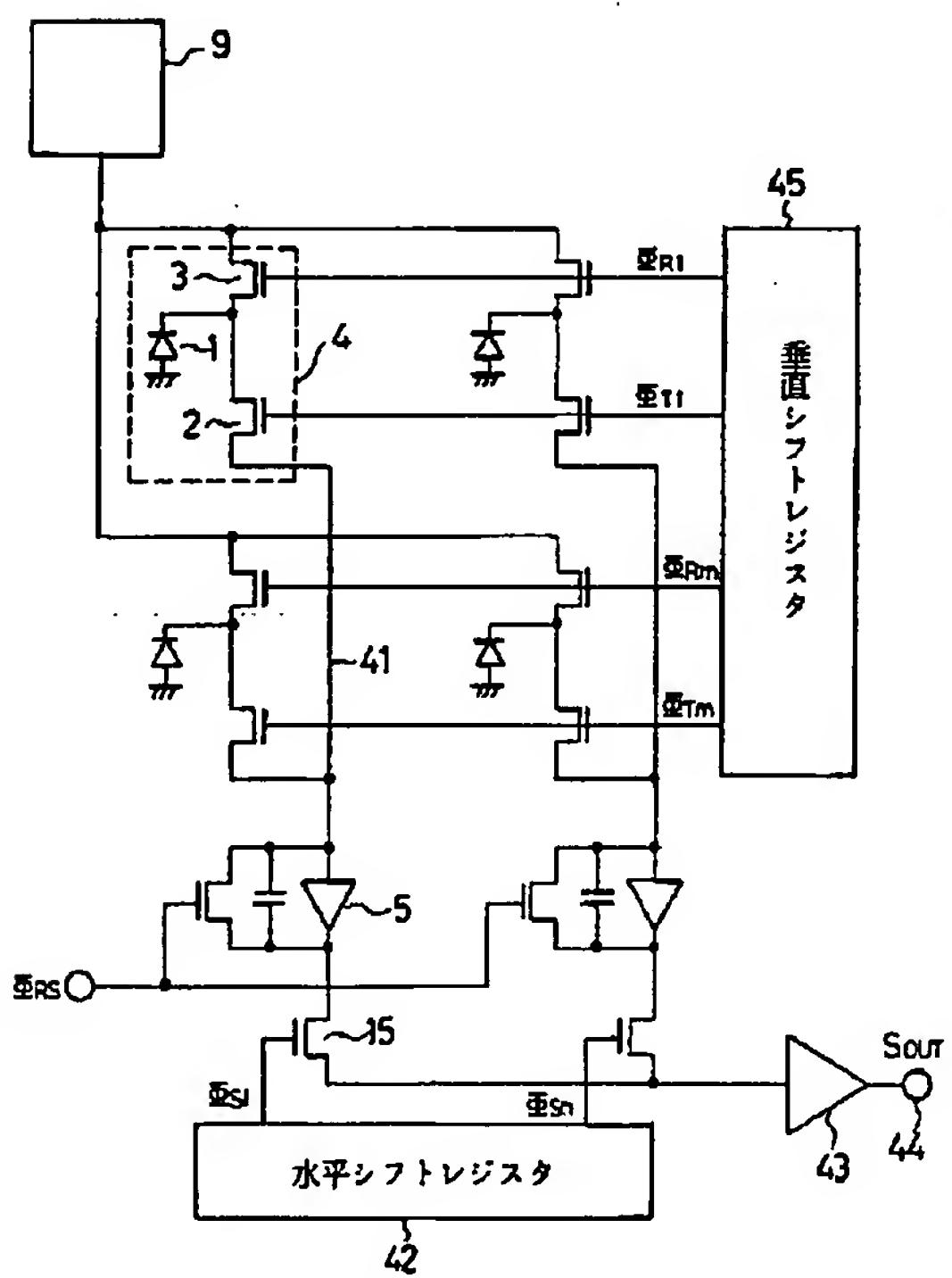
【図5】



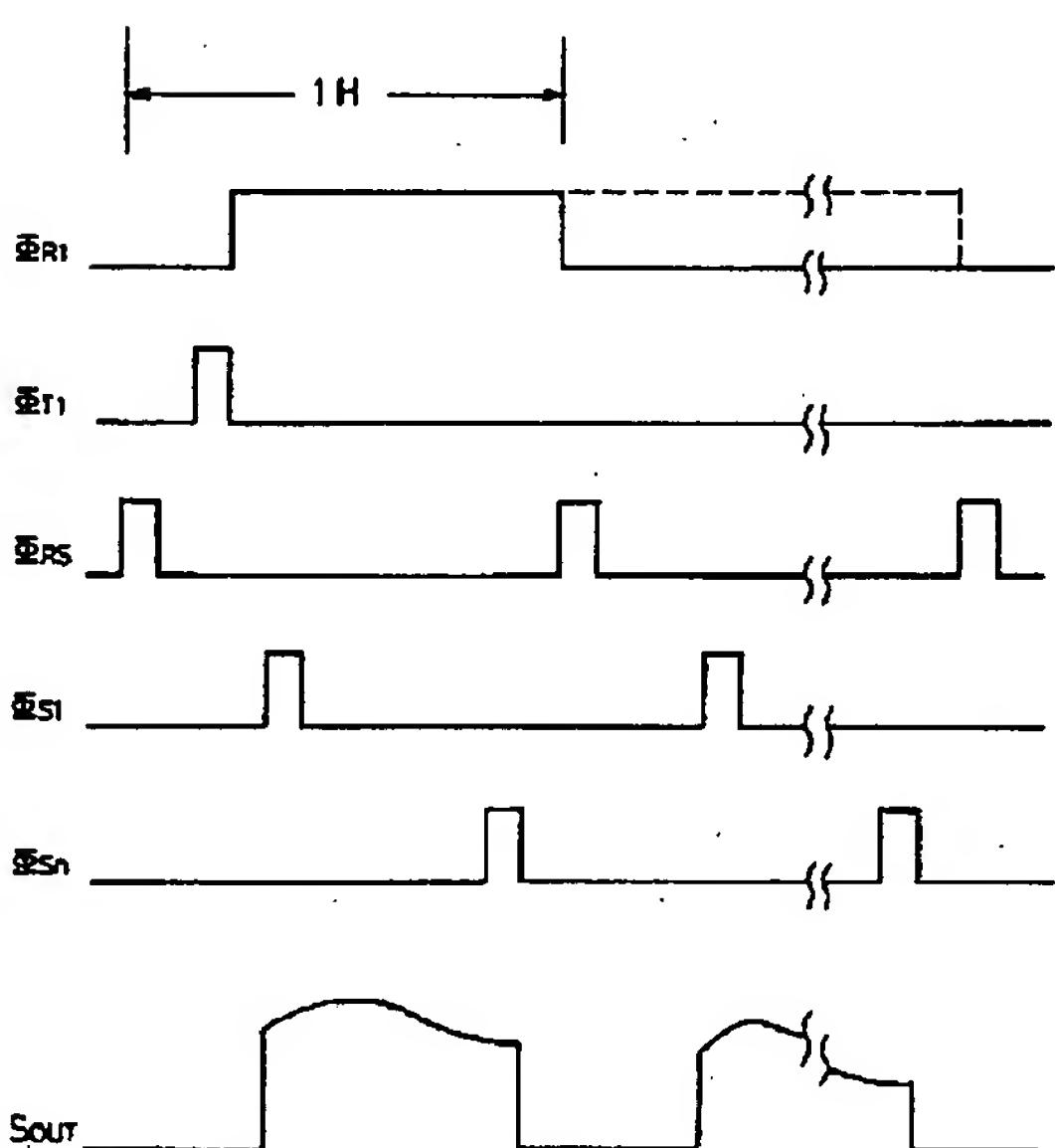
【図6】



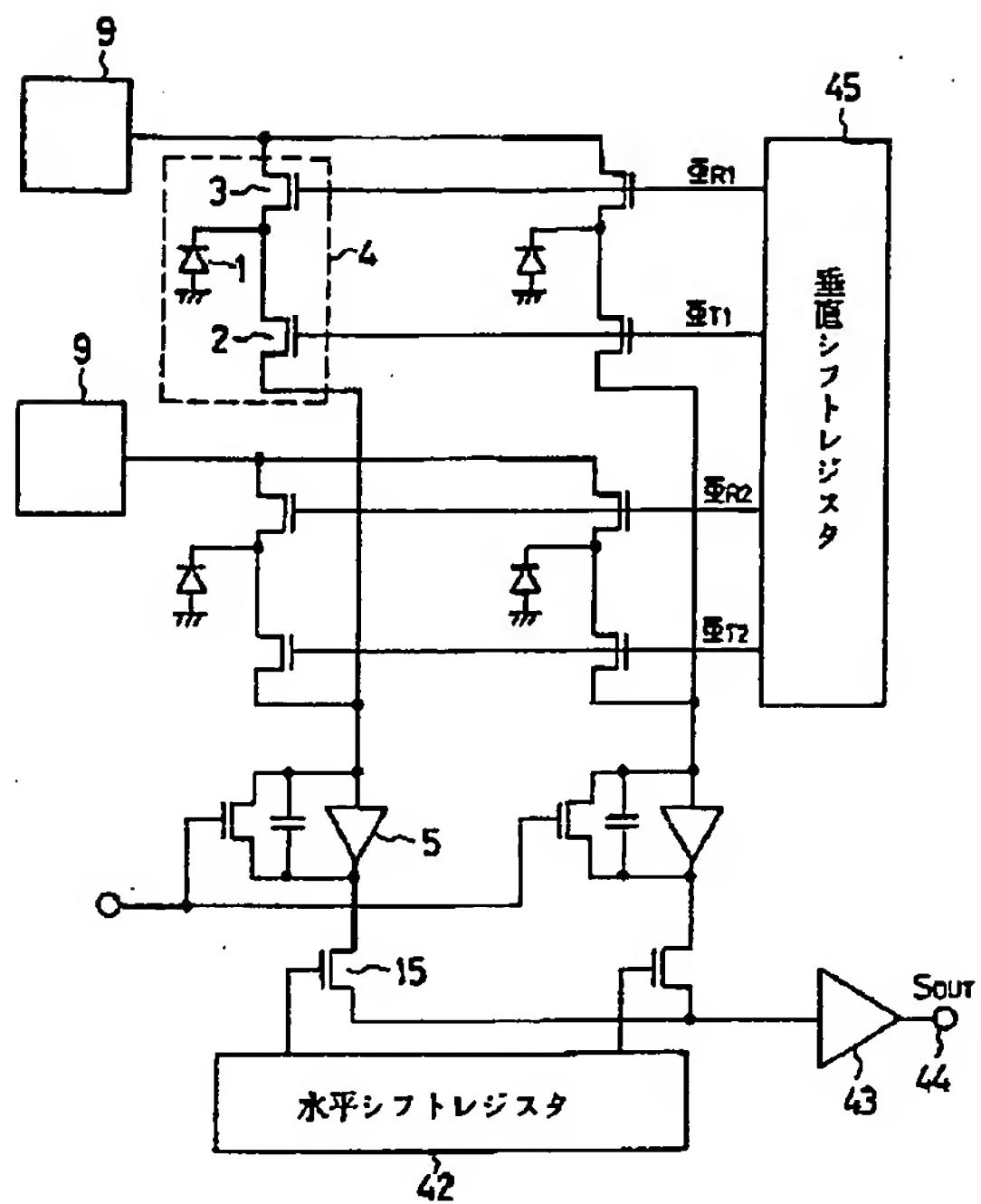
【図7】



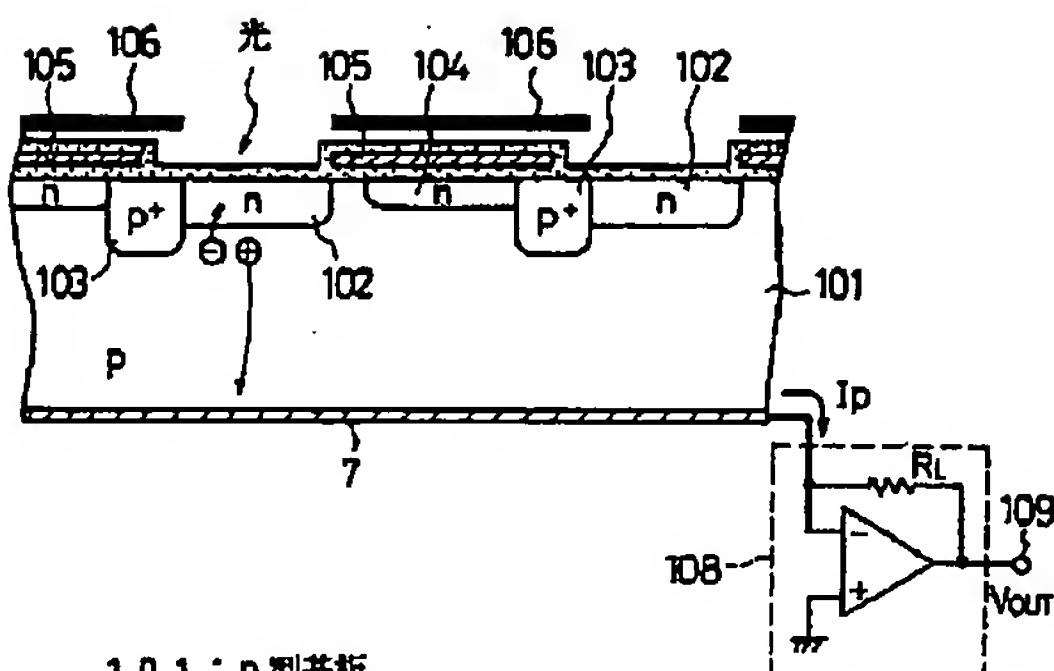
【図8】



[9]

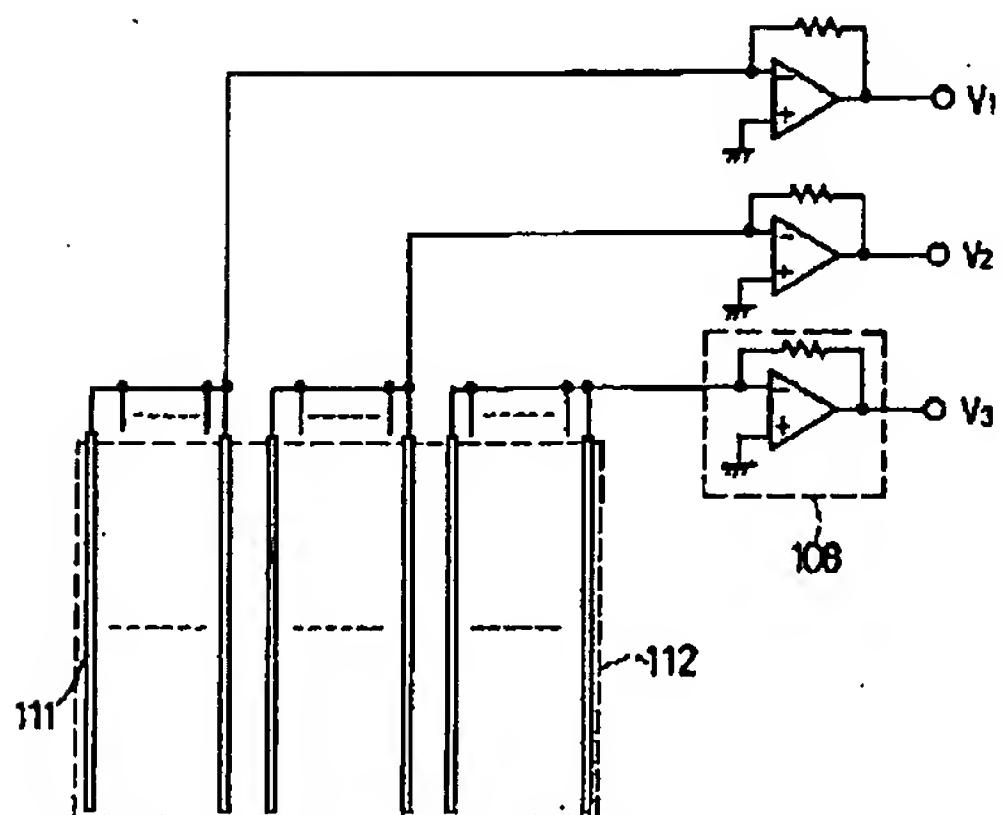


〔図10〕



- 101: p型基板
- 102: n型拉出層
- 103: p型チャネル・ストップ拉出層
- 104: 転送CCD
- 105: 制御電極
- 106: 遮光膜
- 107: 基板電極
- 108: 電流-電圧変換アンプ

【図11】



111：チャネル・ストップ拡散領域
112：撮像面